

Extension de la méthode de de-embedding “Pad-Open-Short” à des dispositifs 3-ports et des standards d’étalonnage non idéaux

W. Khelifi¹, T. Reveyrand¹, J. Lintignat¹, B. Jarry¹, R. Quéré¹, L. Lapierre², V. Armengaud², D. Langrez³

¹XLIM, 123 av. Albert Thomas, 87060 Limoges Cedex

²CNES, 18 av. E. Belin, 31400 Toulouse

³Thales Alénia Space, 26 av. F. Champollion, 31100 Toulouse
wafa.khelifi@xlim.fr

Résumé — La méthode de de-embedding “Pad-Open-Short” requiert l’utilisation de seulement deux standards. Elle est justifiée lorsque le concepteur ne dispose pas d’une résistance de précision (Short-Open-Load) ou lorsque l’espace ne permet pas l’utilisation d’une ligne $\lambda/4$ (TRL). Cependant, cette méthode largement publiée dans le cadre de dispositifs 2-ports suppose l’utilisation de standards idéaux. Cet article étend cette méthode à des dispositifs multi-ports et tient également compte des imperfections produites par des standards non-idéaux.

1. Introduction

L. Tiemeijer présente dans [1] une généralisation élégante des procédures de de-embedding “Open-Short” qui requiert deux mesures et leurs extensions à plusieurs plans de référence comme le “Pad-Open-Short”. Le de-embedding se fait en retirant successivement les matrices impédance et admittance d’éléments appartenant au circuit d’accès du dispositif sous test. La procédure du “Pad-Open-Short” nécessite une mesure (plan de référence extrinsèque) du ‘Pad’ en circuit-ouvert, et de la ligne d’accès en circuits ouvert et fermé. Le ‘Pad’ est modélisé par une matrice admittance Y_e et la ligne d’accès par la mise en cascade d’une matrice impédance Z_s et d’une matrice admittance Y_i . D’une façon générale, si le modèle équivalent circuit est suffisamment précis, on peut relier la matrice admittance intrinsèque du dispositif sous test Y_{int} à la matrice admittance extrinsèque mesurée Y_{ext} :

$$\begin{aligned} Y_{ext} &= ((Y_{int} + Y_i)^{-1} + Z_s)^{-1} + Y_e \\ Y_{int} &= ((Y_{ext} - Y_e)^{-1} - Z_s)^{-1} - Y_i \end{aligned} \quad (1)$$

Cependant, de telles procédures ont été publiées dans le cadre de dispositifs 2-ports en supposant que les standards “Open” et “Short” sont idéaux. Nous proposons ici une méthode améliorée qui tient compte des imperfections des standards ainsi que le modèle électrique d’un circuit de test 3-ports afin de caractériser un transistor 3 accès.

2. Etude théorique de la méthode “Open-Short”

2.a. Extension à 3-ports

Le modèle equivalent-circuit d’un circuit de test 3-ports est présenté figure 1. Cette figure représente éga-

lement le modèle électrique du ‘Pad’. Pour l’analyse du Open-Short, considérons $Y_e = 0$. Nous avons alors 2 mesures dans le cadre d’un dispositif 3-ports, soit 12 termes complexes indépendants (circuit de test est réciproque). Ces 12 termes sont répartis entre Z_s et Y_i de façon similaire : 6 termes dont 3 de couplage pour chaque matrice.

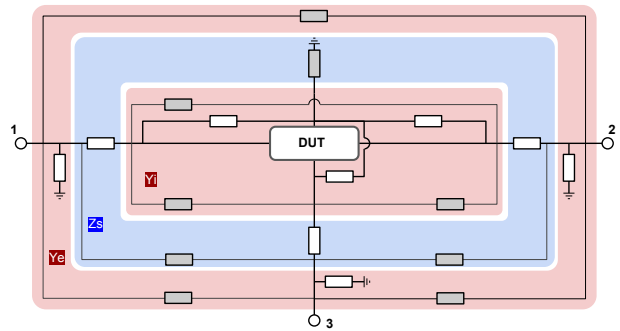


Figure 1. Schéma électrique équivalent du de-embedding par la méthode “Pad-Open-Short” sur un dispositif sous test 3-ports. Les termes de couplage sont illustrés en gris.

2.b. Cas de standards non idéaux

Une analyse de la méthode de de-embedding sans émettre la moindre hypothèse sur l’idéauté des standards revient à résoudre le système à deux équations et deux inconnues suivant :

$$\begin{cases} Z_{ext}^{Open} - Z_s = (Y_i + Y_{int}^{Open})^{-1} \\ Z_{ext}^{Short} - Z_s = (Y_i + Y_{int}^{Short})^{-1} \end{cases} \quad (2)$$

En développant, nous obtenons une équation algébrique non symétrique et continue de Riccati.

$$A + X.B + C.X + X.D.X = 0 \quad (3)$$

Dans le cas d’un standard “Open” quasi-idéal ($Y_{int}^{Open} = 0$) mais d’un standard “Short” qui ne l’est pas (inductance équivalente d’un via-hole en structure micro-strip : Y_{int}^{Short} existe mathématiquement), nous obtenons dans l’équation (3), lorsque $X = Y_i$, et en posant $Y_{ext}^{diff} = (Y_{ext}^{Short} -$

Y_{ext}^{Open}), les matrices constantes suivantes :

$$\begin{aligned} A &= Y_{int}^{Short} \\ B &= I - [I + (Y_{ext}^{dif})^{-1} \cdot Y_{ext}^{Open}]^{-1} \\ &\quad \cdot [(Y_{ext}^{dif})^{-1} Y_{ext}^{Short} + (Y_{ext}^{Open})^{-1} Y_{int}^{Short}] \quad (4) \\ C &= 0 \\ D &= -[I + (Y_{ext}^{dif})^{-1} Y_{ext}^{Open}]^{-1} (Y_{ext}^{Open})^{-1} \end{aligned}$$

L'équation (3) ne peut être résolue que numériquement. Dans ce travail, la solution est identifiée par une décomposition de Schur [2]. Une fois la matrice $Y_i = X$ trouvée, on obtient Z_s grâce à l'équation (2).

2.c. Extraction de Y_{int}^{Short}

En considérant la matrice S du circuit d'accès, comme un partitionnement de quatre sous-matrices associées aux plans extrinsèques et intrinsèques, l'équation généralisée pour l'embedding, déjà démontrée dans [3], est :

$$\begin{aligned} S_{ext} &= S_{ee} \\ &\quad + S_{ei} \cdot (I - S_{int} \cdot S_{ii})^{-1} \cdot S_{int} \cdot S_{ie} \quad (5) \end{aligned}$$

Cette équation peut être inversée car le système est équilibré.

$$\begin{aligned} S_{int} &= S_{ei}^{-1} \cdot (S_{ext} - S_{ee}) \\ &\quad \cdot (S_{ie} + S_{ii} \cdot S_{ei}^{-1} \cdot (S_{ext} - S_{ee}))^{-1} \quad (6) \end{aligned}$$

Dans notre cas, le circuit "Pad+Ligne" de la figure 2 a été simulé sous Keysight Momentum en 6 et 3 ports afin d'extraire le fichier S3P du standard "Short". Cette matrice S est ensuite convertie en paramètres Y : Y_{int}^{Short} . Cette procédure réalisée sur l'"Open" permet de vérifier que ce dernier peut être considéré comme idéal.

3. Mise en application par la méthode "Pad-Open-Short" modifiée

3.a. Méthode à plusieurs plans de référence

La méthode "Open-Short" peut-être cascadée à l'infini en considérant plusieurs plans de référence [4]. La méthode "Pad-Open-Short" la plus simple consiste à identifier la matrice Y_e lorsque le 'Pad' est terminé par un circuit ouvert ($Y_{ext\ pad} = Y_e$). C'est la méthode que nous avons utilisé dans la section suivante. Il est cependant possible d'établir un modèle plus complexe en appliquant la méthode "Open-Short" sur le 'Pad'. Il faut alors un motif terminé en circuits ouvert et fermé (c.f. figure 2).

3.b. Résultats par simulation EM

La nouvelle méthode de de-embedding, qui prend en considération les imperfections des standards, ainsi que la méthode classique (supposant l'utilisation de standards idéaux) [1] ont été appliquées à un transistor $8 \times 60 \mu\text{m}$ en technologie GaAs PH25 de la fonderie UMS. La figure 3 présente des exemples de paramètres S obtenus en simulation d'après les motifs de la figure 2. Les paramètres S du transistor sous test sont représentés en points noirs. On constate que la nouvelle méthode, illustrée par la courbe rouge permet un de-embedding acceptable là où la méthode conventionnelle ne le permet pas à cause du motif "Court-circuit" microstrip ne pouvant être parfait.

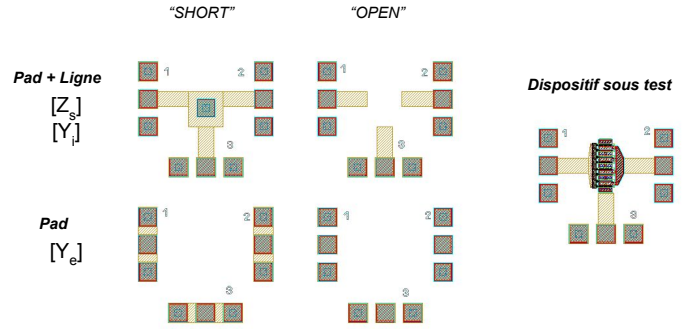


Figure 2. Kit d'étalonnage et dispositif sous test 3 accès MMIC conçus pour cette étude.

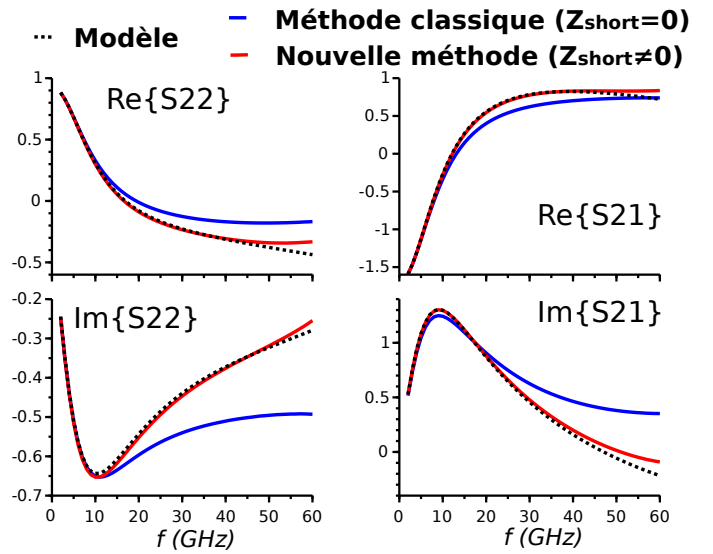


Figure 3. Comparatif des méthodes de de-embedding par "Pad-Open-Short" avec le kit d'étalonnage et le modèle du transistor représenté dans la figure 2.

4. Mesures et validation

Afin de valider la performance de la méthode proposée, les motifs présentés dans la figure 2 ont été mesurés avec un analyseur de réseau vectoriel (VNA) Keysight PNA-X et une station sous pointes de 2 GHz à 40 GHz. Avant de mesurer les structures de test, le VNA et la station sous pointes ont été étalonnés avec un kit d'étalonnage Short-Open-Load-Thru (SOLT) placé sur un substrat standard d'impédance (ISS). Ce plan de référence est notre plan extrinsèque.

Les structures (Pad + Ligne) "Open" et "Short" présentées dans la figure 2, ont été simulées et mesurées. La figure 4 illustre le S_{11} de ces structures. Nous pouvons observer que les courbes simulées et mesurées sont proches les unes des autres, ce qui valide les résultats de la simulation et justifie les hypothèses sur les standards. Ensuite, les paramètres S mesurés de ces motifs et également le "Pad", ont été transférés en paramètres Y, afin d'extraire les paramètres du transistor en utilisant les deux méthodes possibles pour "Pad-Open-Short".

Des exemples des paramètres S (S_{21} et le S_{22}) obtenus

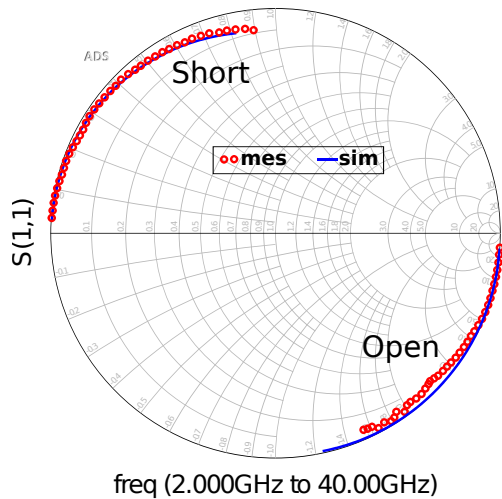


Figure 4. Simulations et mesures de S_{11} des motifs de test (Pad + Ligne) en "Open" et "Short".

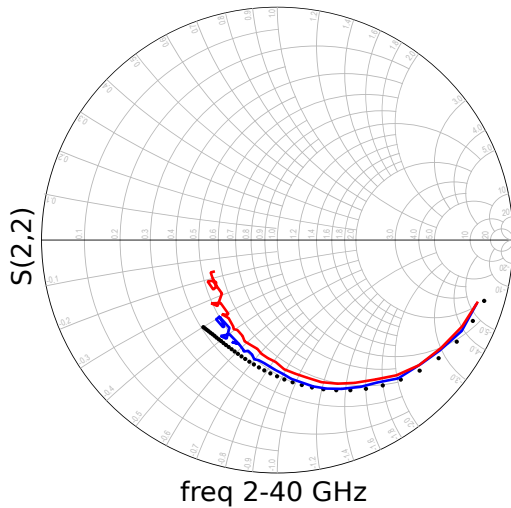
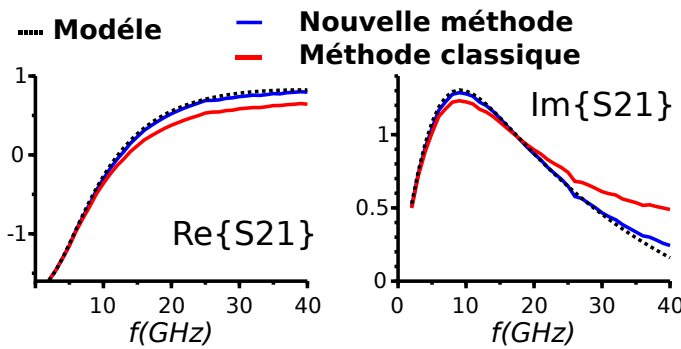


Figure 5. Comparaison de résultats de mesure des 2 méthodes de de-embedding par "Pad-Open-Short" avec le kit d'étalonnage et le modèle du transistor.

de la comparaison des deux méthodes de de-embedding "Pad-Open-Short" (la méthode classique et la nouvelle méthode proposée) avec le modèle du transistor sont présentées dans la figure 5. La nouvelle méthode montre des améliorations de précision au-dessus de 15 GHz par rapport la méthode classique. Cette dernière, pour laquelle les parasites du standard "Short" ne sont pas pris en compte,

indique que ces effets ne peuvent pas être négligés pour des fréquences supérieures à 20 GHz. L'amélioration apportée par la méthode proposée est très bien mise en évidence ici. En effet, les mesures valident la méthode proposée jusqu'à 40 GHz.

La figure 6 montre des exemples de paramètres S du transistor (simulés) et la mesure correspondante extraite par la mise en œuvre de la méthode de de-embedding proposée. On peut observer que les paramètres S du transistor et ceux obtenus à l'aide de la méthode proposée sont très proches pour la bande de fréquences de 2 GHz à 40 GHz, ce qui valide la conception des motifs et la nouvelle méthode.

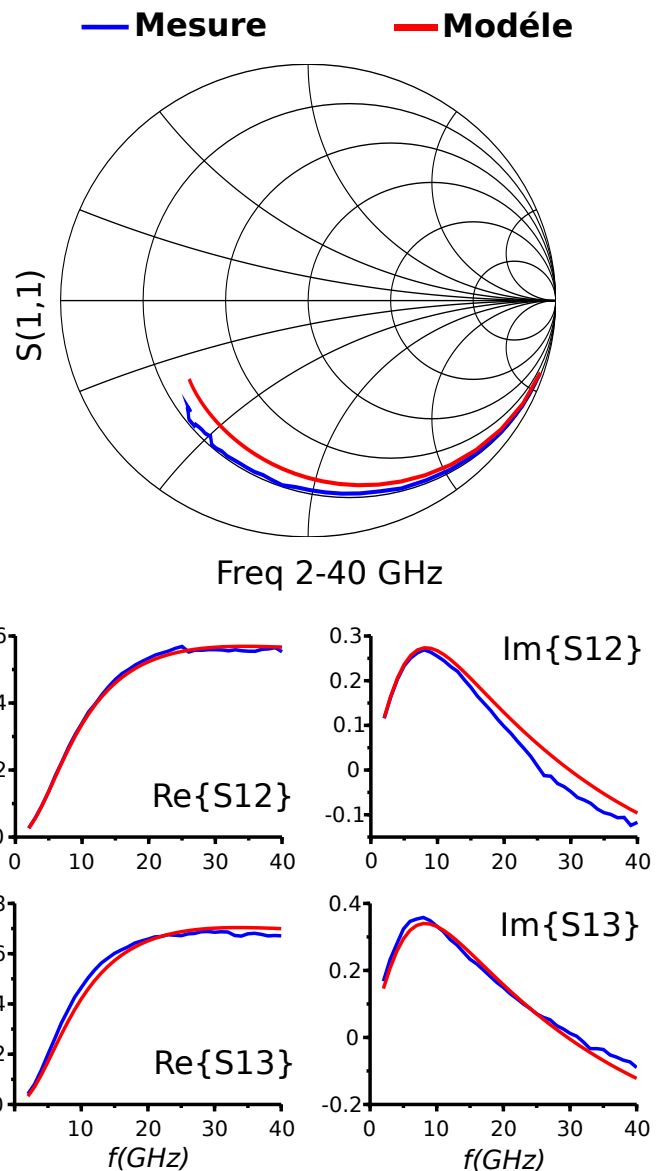


Figure 6. Les résultats de de-embedding obtenus en utilisant la nouvelle méthode "Pad-Open-Short" comparée avec le modèle de transistor.

5. Conclusion

Les simulations et les mesures présentées dans cette communication illustrent l'impact des standards d'éta-

lonnage dans la procédure de de-embedding "Pad-Open-Short". Il peut s'avérer nécessaire d'en tenir compte pour s'assurer d'un de-embedding optimal. Cet article propose de plus la topologie d'un circuit de test à 3 accès ainsi qu'une méthode simple d'obtention des paramètres-S multiports de standards d'étalonnage par simulation électro-magnétique.

Références

- [1] L. F. Tiemeijer *et al.*, "Comparison of the "pad-open-short" and "open-short-load" deembedding techniques for accurate on-wafer RF characterization of high-quality passives," *IEEE Trans. on MTT*, vol. 53, no. 2, pp. 723–729, 2005.
- [2] A. Laub, "A Schur method for solving algebraic Riccati equations," *IEEE Trans. on Automatic Control*, vol. 24, no. 6, pp. 913–921, 1979.
- [3] A. Ferrero *et al.*, "A new implementation of a multiport automatic network analyzer," *IEEE Trans. on MTT*, vol. 40, no. 11, pp. 2078–2085, 1992.
- [4] I. M. Kang *et al.*, "Five-Step (Pad-Pad Short-Pad Open-Short-Open) De-Embedding Method and Its Verification," *IEEE Electron Device Letters*, vol. 30, no. 4, pp. 398–400, 2009.