



Modélisation du drain-lag dans des modèles électriques grand-s signaux de transistors HEMTs AlGaIn/GaN

Olivier Jardel*, Fabien De Groote*, Tibault Reveyrand*, Christophe Charbonniaud**, Jean-Pierre
Teyssier*, Raymond Quéré*, Didier Floriot***

*XLIM C²S²-UMR CNRS 6172, Université de Limoges, 7 rue Jules Vallès, 19100 Brive

**AMCAD Engineering, ESTER Technopole, B.P. 6915, 87069 Limoges

***ALCATEL-THALES III-V Lab/MITIC, route de Nozay, 91460 Marcoussis

Résumé

Un circuit permettant de modéliser les effets de drain-lag ajouté à un modèle électrothermique de HEMT AlGaIn/GaN est présenté ici. La modélisation de ces effets de pièges permet de mieux décrire les réseaux I-V mesurés en impulsions en fonction du point de polarisation et permet aussi de mieux reproduire les caractéristiques grand signal des composants mesurés. Ce circuit, dont la topologie est présentée et le fonctionnement est décrit, est extrait à partir de mesures de transitoires de courant. Ses paramètres associés sont peu nombreux pour en permettre une extraction aisée. De plus, les effets de pièges sont décrits suffisamment simplement de façon à ce que le circuit n'influe pas sur les capacités de convergence et les temps de simulations du modèle de transistor.

Les résultats présentés mettent en exergue l'intérêt d'une contribution des pièges de drain dans le modèle et valident notre méthode.

I. Introduction

Depuis peu, des HEMTs AlGaIn/GaN sont disponibles sur le marché. Ces transistors montrent d'excellentes performances pour les applications microondes et fortes puissances, grâce à leurs fortes densités de porteurs libres et leurs tensions de claquage élevées. Un besoin de modèles précis et possédant de bonnes capacités de convergence est donc apparu.

Mais ces composants, qui ne sont pas dopés et dont le canal est distant seulement de quelques nanomètres de la surface, sont extrêmement sensibles aux effets de pièges qui dégradent leurs performances en puissance. Les effets de drain-lag, qui dépendent beaucoup de la qualité des substrats et des buffers [1] sont difficiles à résoudre, contrairement aux effets de gate-lag qui dépendent davantage des états de surface [2] et qui peuvent être annihilés par des techniques de passivation.

Des solutions ont été proposées pour modéliser la dispersion de la transconductance et de la puissance de sortie sur les transistors à effet de champ [3] [4] due à ces effets de drain-lag. Notre méthode permet de les ajouter facilement dans les modèles électriques de transistors, d'en extraire rapidement les paramètres associés, et enfin de conserver de bonnes capacités de convergence et de temps de simulations. Le circuit présenté ici reproduit les processus de capture et d'émission de pièges, améliorant ainsi la description des caractéristiques IV et grand signal des composants modélisés.

II. Description des effets de drain-lag

Les pièges sont des défauts électriquement actifs répartis spatialement dans les couches et aux interfaces des divers matériaux constituant les composants et situés énergétiquement dans la bande interdite de ces matériaux semi-conducteurs. On utilise le terme « drain-lag » pour décrire la réponse transitoire lente du courant de drain lorsque la tension drain-source V_{ds} est rapidement changée. Les pièges qui induisent ce drain-lag émettent ou capturent des charges qui ne participent alors plus directement au courant de drain et qui sont à l'origine de ces transitoires, comme on peut le voir figure 1. Les constantes de temps sont, pour un même état de piège, différentes selon qu'il s'agisse

d'émission ou de capture ; et le phénomène de capture est généralement beaucoup plus rapide que le phénomène d'émission.

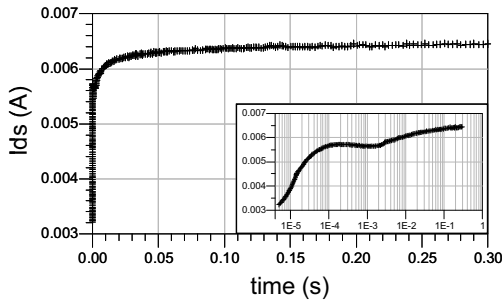


Figure 1 : Mesure temporelle du courant de drain lors d'une impulsion de la tension de drain de 40 à 25V sur un transistor HEMT de 600µm de développement. La réémission lente de charges par les pièges crée des transitoires de courant.

Chaque niveau de pièges ajoute une contribution exponentielle au courant. Notre modèle électrique permet de reproduire ces phénomènes grâce à des cellules R-C.

III. Description du circuit de pièges

Le drain-lag peut être assimilé à l'effet dit de « self-backgating » : les pièges présents sous le canal créent en s'ionisant une zone de charge d'espace qui agit comme une grille virtuelle et qui pince d'autant plus le transistor, diminuant ainsi le courant dans le canal.

Ainsi, les effets de drain-lag sont assimilables à une polarisation de grille qui commande l'ouverture du canal. Nous utilisons cette analogie dans notre modèle. Le schéma de principe du montage est présenté à la figure 2, en ne considérant ici qu'un seul niveau de pièges. Un schéma décrit succinctement le fonctionnement de ce circuit dans le cas d'une impulsion en tension de drain, celle-ci passant de 30V à 10V, quand la tension de grille est maintenue à -4V.

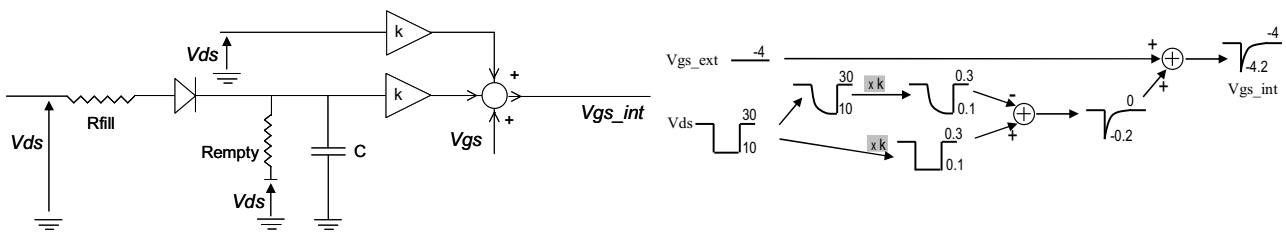


Figure 2 : Schéma de principe du modèle de drain-lag, et un exemple pour $V_{gs} = -4V$ et une impulsion de V_{ds} de 30 à 10 V, pour $k = 0,01$.

Si la tension V_{ds} augmente, la capacité C se charge à travers la résistance R_{fill} . Ceci correspond au phénomène de capture. Sa constante de temps associée est alors donnée par : $\tau_{fill} = R_{fill} \cdot C$ car $R_{empty} \gg R_{fill}$. Si au contraire la tension V_{ds} diminue, la capacité C se décharge alors à travers la résistance R_{empty} . Ceci correspond au processus d'émission, dont la constante de temps est donnée par : $\tau_{empty} = R_{empty} \cdot C$. L'amplitude des transitoires est donnée par le facteur d'amplification k qui dépend du courant total et de l'amplitude relative du piège. On obtient tous les paramètres en modélisant la courbe mesurée de la figure 1 par des formes exponentielles. L'addition du terme $V_{ds} \cdot k$ est nécessaire pour ne pas modifier le niveau établi de V_{gs} en fonction de l'amplitude des pièges.

IV. Extraction des paramètres du circuit de pièges

Les pièges réagissent normalement de façon exponentielle en fonction du temps. La capture de charges est très rapide et n'est pas facilement mesurable. Ainsi, la valeur de R_{fill} n'est pas extraite de mesures et est fixée de manière à donner un transitoire de l'ordre de quelques nanosecondes (la valeur de la capacité est choisie arbitrairement. Dans notre modèle, elle vaut 1 nF). L'émission de charges est en revanche un phénomène lent, comme on le voit sur la courbe de la figure 1. Cette courbe peut être modélisée approximativement à partir d'une fonction multiexponentielle à deux constantes de temps (cf figure 3).

La difficulté de mesurer un transitoire de courant dans le but d'extraire les constantes de temps des pièges vient du fait qu'il faut pouvoir s'affranchir des effets thermiques et de la création des transitoires « parasites » qu'ils induisent. Ainsi, la mesure est effectuée pour une tension V_{gs} très proche du pincement afin que le courant I_{ds} soit faible et qu'ainsi la puissance dissipée le soit aussi. Mais comme les constantes de temps des pièges sont très dépendantes de la

température, il est plus juste de se placer dans un état thermique proche de celui dans lequel le composant fonctionnera réellement. Notre application étant en classe AB pour une polarisation de 25 V, la température estimée au point de fonctionnement est proche de 120°C et ainsi la mesure des transitoires est effectuée pour une température de fond de substrat de 120°C.

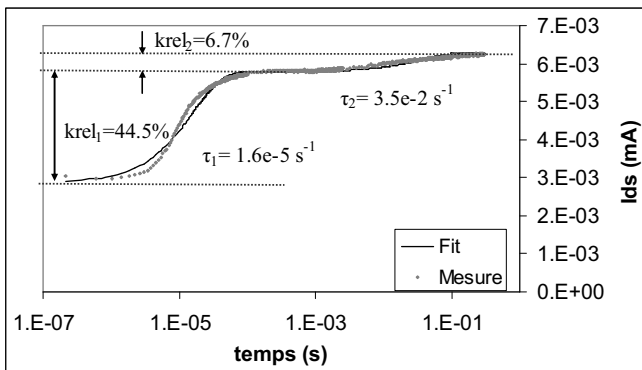


Figure 3 : Modélisation par une équation à deux exponentielles d'un transitoire de courant pour une impulsion de V_{ds} de 35 à 25 V et une tension V_{gs} proche du pincement. La température ambiante est de 120°C, ce qui correspond à la température de fonctionnement de l'application visée. On obtient deux couples de valeurs (k_{rel}, τ) qui correspondent aux caractéristiques des deux niveaux de pièges implémentés dans le circuit.

Un plus grand nombre de termes exponentiels permettrait une reconstruction plus précise de ce transitoire mais nécessiterait de rendre d'autant plus complexe le circuit de pièges associé. Notre but étant de permettre une extraction rapide des paramètres et de ne pas affecter les capacités de convergence du modèle du transistor, nous nous sommes limités ici à deux termes. De plus, la dépendance des constantes de temps en fonction de la température n'est pas prise en compte dans le modèle et il est ainsi d'autant moins utile d'obtenir un suivi parfait de la forme du courant.

Nous obtenons donc un couple (k_{rel1}, τ_1) (k_{rel2}, τ_2). Chaque k_{rel} doit ensuite être multiplié par le courant de drain qu'il y aura à l'état établi (ou qu'il y aurait s'il n'y avait pas de pièges) afin d'obtenir l'amplitude absolue de chaque piège. Pour des raisons de simplicité, ce courant de drain est exprimé uniquement en fonction de V_{gs} par la forme (cf Figure 4) :

$$I_{ds} = G_{m_DC} \cdot V_{gs} ,$$

où G_{m_DC} peut par exemple être modélisé par une fonction à base d'une tangente hyperbolique de la forme :

$$G_{m_DC} = I_0 \cdot (0.5 + 0.5 \cdot \tanh(a(V_p + V_{gs}))) .$$

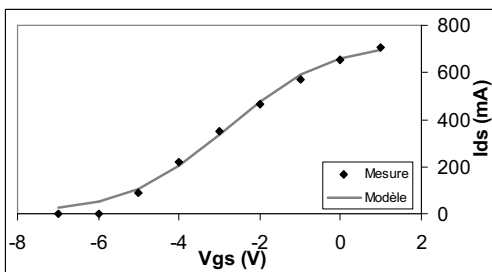


Figure 4 : Modélisation basique du courant de drain à l'état établi en fonction de V_{gs} grâce à une équation à base d'une tangente hyperbolique.

V. Résultats de simulations

1] Impact du modèle sur les caractéristiques IV

Nous avons effectué des mesures en impulsions courtes (500 ns) des caractéristiques IV d'un composant de 200 μm de développement, permettant, par un choix judicieux des polarisations de repos, de quantifier les effets de drain-lag. Cette méthode a été présentée en [5]. En choisissant une polarisation de repos $V_{gs0} = -8$ V et $V_{ds0} = 25$ V (le transistor est pincé et ainsi il n'y a pas de puissance dissipée au repos), la partie du réseau I-V où V_{ds} est inférieure à 25 V montre la diminution du courant due aux effets de drain-lag. En effet, la mesure des points à $V_{ds} < 25$ V implique que la tension V_{ds} est pulsée négativement par rapport au point de polarisation et c'est alors l'émission de pièges qui prédomine. Ce phénomène d'émission étant lent devant les longueurs typiques d'impulsions, le courant mesuré est inférieur au courant à l'état établi. Pour les points mesurés au-delà de $V_{ds} = 25$ V, les phénomènes de capture prédominent et ceux-ci étant rapides devant les durées typiques d'impulsions, le courant mesuré est quasi-identique à celui obtenu à l'état établi. C'est pourquoi on observe un changement de pente significatif de l'impact des pièges de drain sur les courbes à V_{gs} constant quand V_{ds} dépasse 25 V.

Des simulations dans les mêmes conditions de polarisation et d'impulsions nous permettent de reproduire ces changements de pente et ainsi de mieux reproduire les réseaux I-V en fonction du point de polarisation de repos, comme on le voit figure 5.

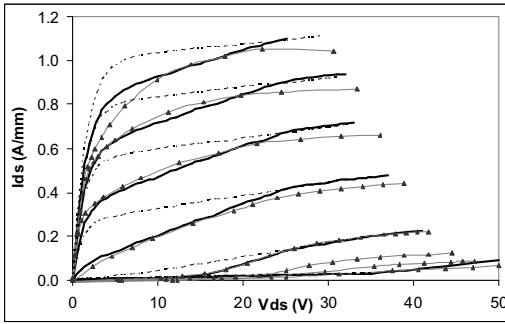


Figure 5 : Influence du modèle de drain-lag sur les caractéristiques IV en impulsions. Ici pour une polarisation de repos de $V_{gs0}=-8V$, $V_{ds0}=25V$. En gris : mesure. En noir épais : avec le modèle de drain-lag. En pointillés : sans le modèle de drain lag.

2] Validation du modèle sur des mesures grand signal

La figure 6 montre une comparaison des mesures Load-Pull sur un transistor HEMT de $600\mu m$ de développement effectuées en polarisation DC et RF CW à 10 GHz sur l'impédance de charge optimale.

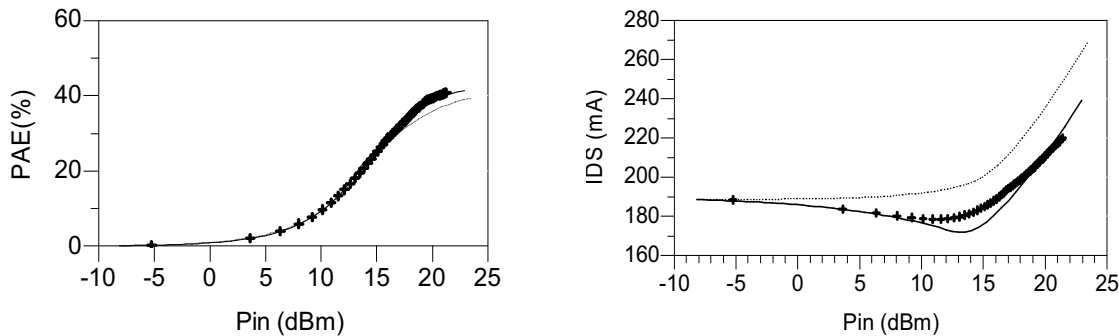


Figure 6 : Influence du modèle de drain-lag sur les performances en puissance. En pointillés : sans le modèle de drain-lag. En lignes continues : avec le modèle de drain-lag. Croix : mesure.

Les caractéristiques de puissance sont mieux reproduites, en particulier le courant de sortie pour lequel notre modèle ne permettait pas de reproduire la décroissance pour un régime de fonctionnement précédant juste la compression. La meilleure modélisation du courant de sortie permet de diminuer l'erreur sur la puissance dissipée et d'obtenir un meilleur calcul de la PAE.

VI. Conclusion

Nous avons présenté un circuit permettant de modéliser les effets de drain-lag, ce qui permet de mieux reproduire d'une part les caractéristiques statiques des composants et d'autre part les caractéristiques grand signal. Ce modèle n'a pas d'influence sur la convergence des modèles et n'augmente pas de façon significative les temps de simulations. L'extraction de ses paramètres associés reste rapide et aisée.

De plus, ce circuit peut être utilisé dans des modèles de HEMTs ou de MESFETs et son architecture peut permettre de modéliser aussi les effets de gate-lag si nécessaire, à condition d'inverser le sens de la diode et de choisir une amplitude des pièges k négative.

- [1] W.Mickanin, P.Canfield, E.Finchem, B.Odekirk, "Frequency dependent Transients in GaAs MESFETs: Process, geometry, and material effects", in *GaAs IC Symp. Dig.*, 1989, pp. 211-214.
- [2] J.C. Huang et Al., "An AlGaAs/InGaAs pseudomorphic high electron mobility transistor with improved breakdown voltage for X- and Ku-band power applications", *IEEE Trans. Microwave Theory Techniques*, vol.41, pp 752-759, 1993.
- [3] T.J. Brazil, "A universal large-signal equivalent circuit for GaAs MESFET", in *Proc. 21st EUMC, Stuttgart, Germany, 1991*, pp 921-926.
- [4] C. Camacho-Penalosa, C.S. Aitchison, "Modeling frequency dependence of output impedance of a microwave MESFET at low frequencies", *Electron. Lett.*, vol. 21, no 12, pp 528-529, 1985.
- [5] Charbonniaud C., De Meyer S., Quéré R., Teysier J.P., « Electrothermal and Trapping Effects Characterisation », *GAAS 2003, 6-7 Oct, 2003 Munich*.