

## Nouvelles cellules de puissance compactes pour des applications bande Ku en technologie MMIC

A. Déchansiaud<sup>1</sup>, R. Sommet<sup>1</sup>, T.Reveyrand<sup>1</sup>, C. Chang<sup>2</sup>, D. Bouw<sup>2</sup>, M. Camiade<sup>2</sup>, F.Deborgies<sup>3</sup>,  
R. Quéré<sup>1</sup>

<sup>1</sup>XLIM, UMR CNRS n°6172, 7 rue Jules Vallès, 19100 Brive la Gaillarde

<sup>2</sup>United Monolithic Semiconductors, route départementale 128 – BP46, 91401 Orsay

<sup>3</sup>European Space Agency, Keplerlaan 1 - NL 2201 AZ Noordwijk ZH

adeline.dechansiaud@xlim.fr

### Résumé

Une conception d'une nouvelle cellule de puissance à base de transistor PHEMT AsGa de longueur de grille 0.25  $\mu\text{m}$  en technologie MMIC est présentée dans ce papier. Le point de départ est la cellule de puissance fishbone développée initialement par UMS. Cette dernière va nous permettre de valider un modèle de transistor de petite taille qui sera utilisé pour la conception d'autres cellules de puissances telles que la cellule cascode.

### 1. Introduction

La demande importante d'amplificateurs de puissance performants à moindre coût implique d'avoir des puces de plus en plus compactes [1] [2] [3]. Pour augmenter la compacité de ces structures nous pouvons par exemple, diminuer la taille de ces cellules de puissance. C'est ce qui a été réalisé dans l'amplificateur 2W proposé par la société UMS [4]. Dans cet article, cette cellule de puissance va nous permettre de valider un modèle de transistor à deux doigts de grille. Ce modèle de transistor va alors nous servir de brique de base pour concevoir d'autres cellules de puissance innovantes.

### 2. Validation du modèle de transistor utilisé dans les cellules de puissance

#### 2.a. Architecture de la cellule fishbone

L'étage de sortie de l'amplificateur 2W commercialisé par UMS est constitué de quatre transistors de développement de grille 1200  $\mu\text{m}$  chacun. Afin de le rendre plus compact, ces derniers ont été remplacés par deux cellules de puissance que l'on appelle fishbone compte tenue de leur forme en arête de poisson..

Chaque cellule est constituée de deux transistors PHEMT AsGa 12x100 $\mu\text{m}$  d'UMS de longueur de grille 0.25  $\mu\text{m}$ . Ces transistors incluent des vias dans les sources. La particularité de cette topologie de cellule réside dans le fait que les bus de grille et de drain ne sont

plus distribués verticalement mais horizontalement, d'où un gain de place considérable (Figure 1).

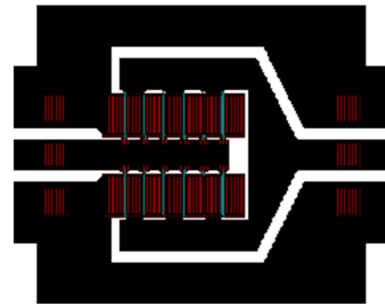


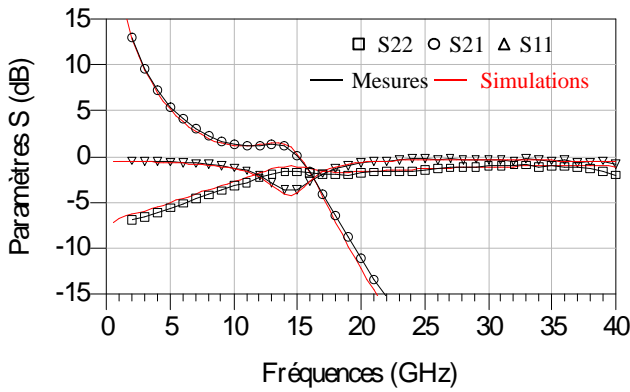
Figure 1. Layout d'une structure de type fishbone

Des mesures de paramètres S sur la bande 2-40 GHz ainsi que des mesures load pull entre 10 et 16 GHz d'une cellule de développement de grille 3 mm ont été réalisées pour une polarisation de  $V_D=8\text{V}$ ,  $I_D=310\text{ mA}$ . Les résultats initiaux de mesures et de simulations ne concordaient pas dans toute la bande de fréquence. Le modèle global du transistor était donc insuffisant.

#### 2.b. Validation du modèle de transistor à deux doigts de grille

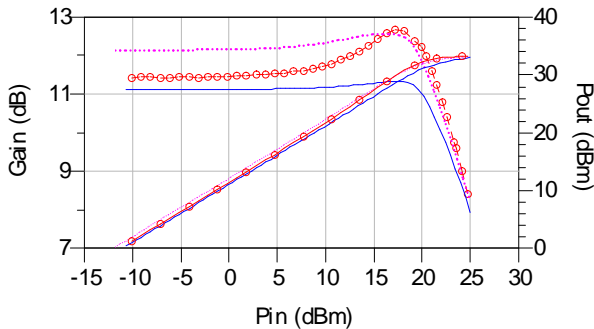
Afin d'améliorer la précision du modèle de cette cellule de puissance, une nouvelle approche de simulation va être définie. La cellule de base étant composée cette fois ci par deux transistors « tête bêche » la structure distribuée est alors sollicitée. En fait, le modèle du transistor 12x125  $\mu\text{m}$  va être divisé en un certain nombre de modèles de taille plus petite. Pour simplifier la structure, six transistors 2x125  $\mu\text{m}$  ont été choisis afin d'avoir le même développement de grille que précédemment.

Les mesures de paramètres S pulsés qui ont été réalisées par UMS sont maintenant comparées aux simulations effectuées dans la bande 2-40 GHz (Figure 2). On obtient un bon accord entre mesures et simulations traduisant la véracité du modèle de la cellule de puissance et donc du modèle de transistor à deux doigts de grille utilisé.

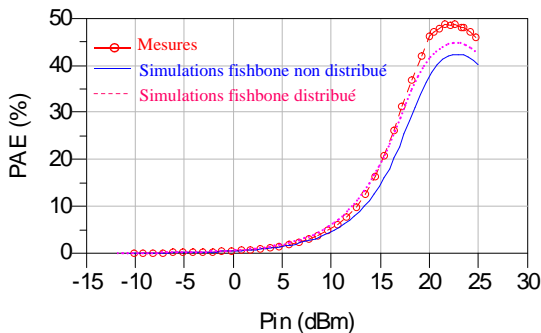


**Figure 2. Comparaison des paramètres [S] mesurés et simulés de la cellule fishbone.**

Des mesures load pull ont également été réalisées afin de vérifier et de comparer les résultats optimaux en puissance avec ceux obtenus au cours des simulations. La Figure 4 montre les résultats du gain et de la puissance de sortie obtenus à 10 GHz. Le rendement ajouté en puissance est montré sur la Figure 4.



**Figure 3. Comparaison des résultats de simulations et de mesures du gain et de la puissance de sortie @ 10 GHz**



**Figure 4. Comparaison des résultats de simulations et de mesures load pull de la PAE @ 10 GHz**

### 3. Méthodologie de conception d'une cellule cascode innovante

Grâce au modèle de transistor à deux doigts de grille nous pouvons concevoir d'autres cellules de puissance très compactes. Nous avons choisi de concevoir plusieurs cellules de type cascode [5] [6]. En effet, ces dernières sont très compactes par rapport à un transistor seul de même développement ou encore par rapport à une cellule fishbone. Elles possèdent un gain et une impédance de

sortie très élevée ainsi qu'une isolation entrée sortie nettement améliorée.

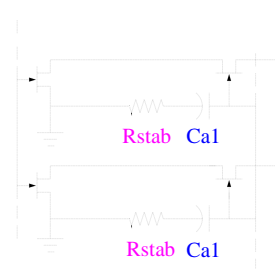
La cellule cascode est constituée d'un transistor source commune en cascade avec un transistor grille commune. Une capacité Ca1 (Figure 5) est ajoutée sur la grille du second transistor afin de créer un pont diviseur de tension pour éviter d'avoir la variation de tension Vds du premier transistor sur l'entrée du second. La formule théorique de Ca1 est la suivante :

$$Ca_1 = \frac{C_{gs}}{\left(\left|\frac{V_{ds1}}{V_{gs2}}\right| - 1\right)}$$

Cette capacité est optimisée en puissance car elle ne joue un rôle que dans des applications de puissance. La cellule cascode étant sensible aux oscillations, une étude de stabilité linéaire doit être effectuée conjointement à l'optimisation de Ca1. Pour éviter tout phénomène d'instabilité une résistance doit être ajoutée en série avec la capacité Ca1. Elle permet d'assurer la stabilité mais en contrepartie les performances en puissance sont dégradées. Il faut alors effectuer l'optimisation conjointe de ces deux paramètres ainsi qu'une nouvelle adaptation en sortie de la cellule.

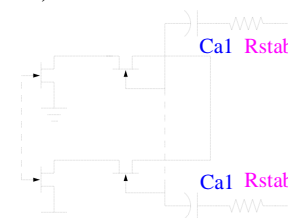
### 4. Architectures de la cellule cascode

Grâce à la validation du modèle de transistor à 2 doigts de grille, nous avons conçu différentes architectures de cellules cascades. Les deux transistors 12x100 μm utilisés pour ces cellules sont distribués par six transistors de 2x100 μm. Les différentes structures cascades ont été conçues grâce au logiciel de conception CADENCE. La première consiste à intégrer la capacité Ca1 et la résistance de stabilité entre chaque transistor de la structure distribuée (Figure 5). Cela permet d'augmenter considérablement la compacité de la cellule.



**Figure 5. 1<sup>ère</sup> architecture cascode PHEMT AsGa.(dite CAPA IN)**

La deuxième cellule consiste à intégrer la capacité Ca1 et la résistance de stabilité à l'extérieur de la cellule (Figure 6).



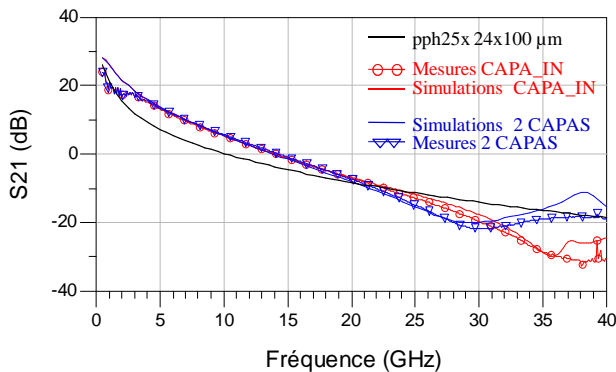
**Figure 6. 2<sup>ème</sup> architecture cascode PHEMT AsGa (dite 2 CAPAS)**

Pour l'instant, seuls sont publiés les schémas de principe de ces cellules, le fondeur ne nous ayant pas encore donné l'autorisation de diffuser les layouts. Ci-dessous un récapitulatif des dimensions des différentes structures.

	24x100 $\mu\text{m}$	Fishbone	Cascade version1	Cascade version2
Dimensions ( $\mu\text{m}$ )	790	710	412.5	550

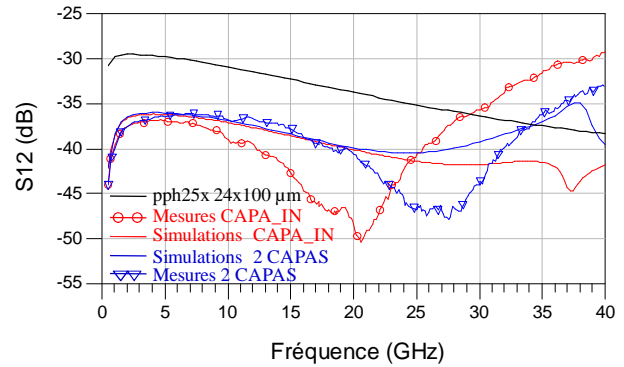
## 5. Résultats de simulations et de mesures

Les parties passives des cellules ont été simulées au préalable sous le logiciel MOMENTUM. Des simulations et des mesures de paramètres S dans la bande 0.5-40 GHz et au point de polarisation  $V_D=16\text{V}$  et  $I_D=150\text{mA}$  ont été réalisées pour chaque architecture de cellule cascade. Lors des mesures, il faut porter une attention particulière à l'ordre dans lequel les polarisations doivent être appliquées. Nous allons observer les résultats obtenus sur le gain, l'isolation entrée/sortie et sur l'impédance de sortie, c'est-à-dire sur les trois principaux avantages que présentent la cellule cascade. La Figure 7 montre le gain bas niveau simulé et mesuré des cellules cascades comparé à celui d'un transistor seul de même développement. Le gain de la cellule cascade est supérieur à celui d'un transistor source commune jusqu'à 23 GHz. Il faut préciser que les mesures ne sont correctes que jusqu'à 26 GHz car les tests de polarisation ne fonctionnent pas au dessus de cette fréquence. Nous remarquons une bonne concordance entre les mesures et les simulations effectuées.



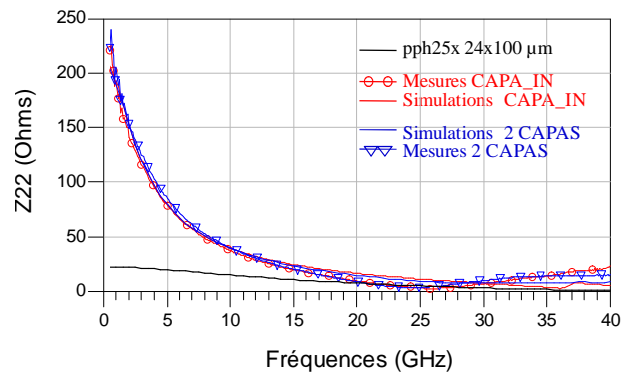
**Figure 7. Comparisons des simulations linéaires et des mesures du paramètre S21 de chaque architecture de cellule cascade avec un transistor source commune**

L'isolation entrée/sortie est observée sur la Figure 8. Nous observons que l'isolation est bien meilleure pour une cellule cascade. En revanche pour les deux architectures de cellules, une différence entre les résultats de mesures et de simulations est obtenue. Ceci est due au fait que lors des simulations nous avons utilisé un modèle de transistor déjà existant qui ne correspond pas à la réalité. Des réajustements de ce modèle sont en cours.



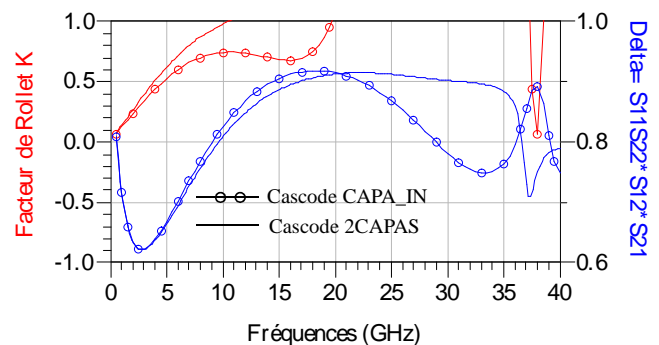
**Figure 8. Comparisons des simulations linéaires et des mesures du paramètre S12 de chaque architecture de cellule cascade avec un transistor seul**

La Figure 9 montre l'impédance de sortie mesurée et simulée pour les deux architectures de cellule cascade étudiées comparée au transistor seul source commune. Les résultats sont concordants, et nous observons bien une forte augmentation de l'impédance de sortie pour le cascade.



**Figure 9. Comparisons des simulations linéaires et des mesures du paramètre Z22 de chaque architecture de cellule cascade avec un transistor seul**

Afin de compléter l'analyse linéaire, nous avons effectué une première approche de l'étude de stabilité de chaque architecture en regardant le facteur de Rollet K (Figure 10).

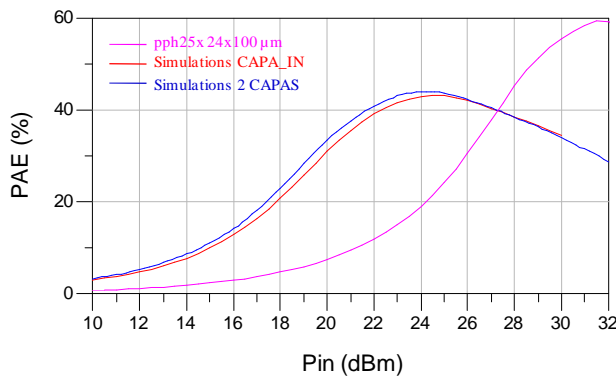


**Figure 10. Etude du facteur de Rollet et du déterminant de la matrice [S] de chaque architecture cascade sur la bande de fréquence 0.5 à 40 GHz**

Le facteur de Rollet K montre que chaque topologie de cellules étudiées n'est pas inconditionnellement stable sur toute la bande de fréquence. L'étude des cercles de stabilité doit alors être effectuée. Cette analyse a permis de démontrer que les deux topologies de cascades utilisées sont stables linéairement sur toute la bande de fréquence.

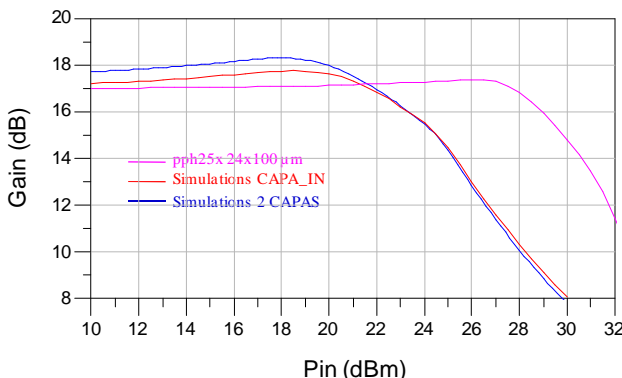
Le fait que nous n'avons pas eu de problèmes d'oscillations lors des mesures de paramètres S montre que les cellules sont stables.

Des simulations load pull de chaque architecture des cellules cascades ont été réalisées sur la bande 10 à 16 GHz. Des mesures load pull sont en cours de réalisation et devraient être disponibles pour le jour de la présentation. La Figure 11 montre que la PAE maximale de chaque cellule cascade est autour de 43 % alors qu'un transistor source commune présente un rendement en puissance maximal de presque 60 %.

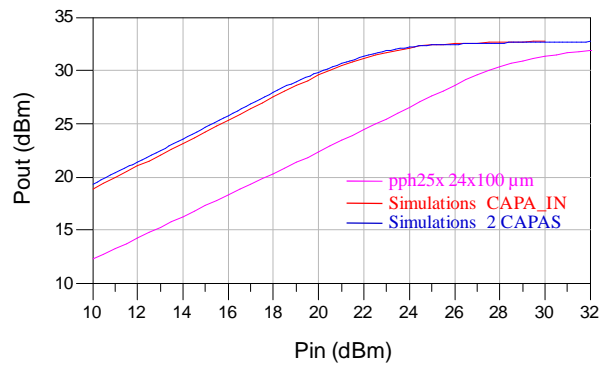


**Figure 11. Comparaison du rendement en puissance ajouté des cellules cascades avec un transistor source commune @ 10 GHz**

Les principaux avantages de ces cellules se situent au niveau du gain en puissance (Figure 12) qui peut gagner 1 dB en bas niveau, et de la puissance de sortie (Figure 13) qui est identique voir supérieure à un transistor seul de même développement de grille total. D'où une densité de puissance surfacique plus élevée pour le cascade.



**Figure 12. Gain en puissance de chaque architecture de cellule cascade comparée à un transistor source commune**



**Figure 13. Comparaison de la puissance de sortie des cellules cascades étudiées avec un transistor seul**

## 6. Conclusion

De nouvelles cellules de puissance très compactes basées sur des transistors PHEMT AsGa ont été conçues en technologie MMIC. La cellule de puissance dite « fishbone » nous a permis de valider le modèle du transistor élémentaire à deux doigts de grille qui nous a permis par la suite de concevoir d'autres cellules de puissances compactes basées sur le montage cascade. La comparaison entre ces nouvelles cellules et un transistor seul montrent un meilleur gain bas niveau pour la cellule cascade, une puissance de sortie équivalente et un rendement en puissance de 43 % à 10 GHz.

## 7. Bibliographie

- [1] C-H.Lin et al «*A Compact 6.5-W PHEMT MMIC Power Amplifier for Ku Band Applications*», IEEE Microwave and Wireless Components Letters, Vol 17, n° 2, 2007.
- [2] Q.Zhang et al «*Fully Monolithic 8 Watts Ku-Band High Power Amplifier*», IEEE MTTs Digest, 2004.
- [3] Rapport interne UMS. Contrat ESTEC 18537/04/NL/AD.
- [4] A.Martin et al «*Balanced AlGaIn/GaNHEMT cascode cells: design method for wideband distributed amplifiers*», Electronics Letters, Vol 44, Issue 2, 2008, pp 116-118.
- [5] JP.Fraysse et al «*A 2W high efficiency 2-8GHz cascode HBT MMIC power distributed amplifier*», IEEE MTTs Digest, vol. 1, juin 2000, pp 529-532.
- [6] A-M.Darwish et al «*Multi-octave GaN MMIC Amplifier*», IEEE MTTs Digest, mai 2010